

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-306693

(43)Date of publication of application : 05.11.1999

(51)Int.Cl. G11B 20/14

(21)Application number : 10-104729 (71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

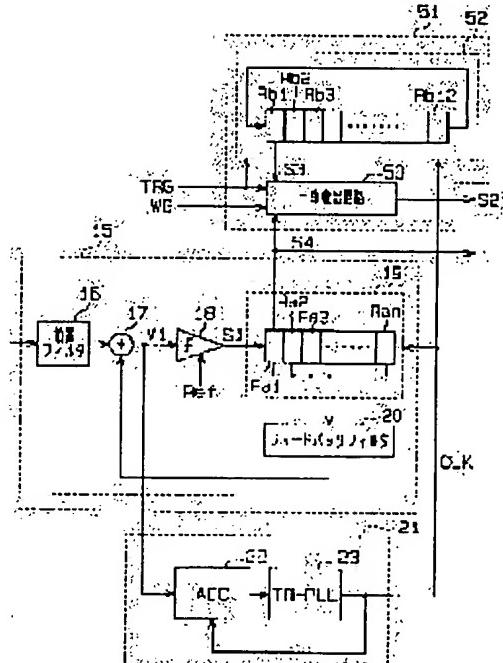
(22)Date of filing : 15.04.1998 (72)Inventor : MORIUCHI TSUNEHIKO
SAWADA MASARU

(54) DATA READING METHOD, DATA READING DEVICE, AND HARD DISK DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data reading device in which a read-out time for reading out information from a recording medium can be shortened by improving a detection rate of sync-byte.

SOLUTION: Sync-byte read out succeeding to preamble data of a period pattern is constituted with coarse/dense patterns including a coarse part and a dense part of pull-in positions in which information of an output signal of ADC(A/D converter) 22 is transferred based on a read-signal RD. A PLL circuit 23 performs synchronism pull-in of a clock signal CLK for a read-signal RD reading out sync-byte in a pull-in position of this sync-byte.



LEGAL STATUS

[Date of request for examination] 23.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

[application converted registration]

[Date of final disposal for application]

[Patent number] 3934248

[Date of registration] 30.03.2007

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-306693

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl.⁸
G 1 1 B 20/14

識別記号
3 5 1

F I
G 1 1 B 20/14

3 5 1 Z

審査請求 未請求 請求項の数11 O.L (全 12 頁)

(21)出願番号 特願平10-104729

(22)出願日 平成10年(1998)4月15日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 森内 恒彦
愛知県春日井市高蔵寺町2丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72)発明者 澤田 勝
愛知県春日井市高蔵寺町2丁目1844番2
富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宣

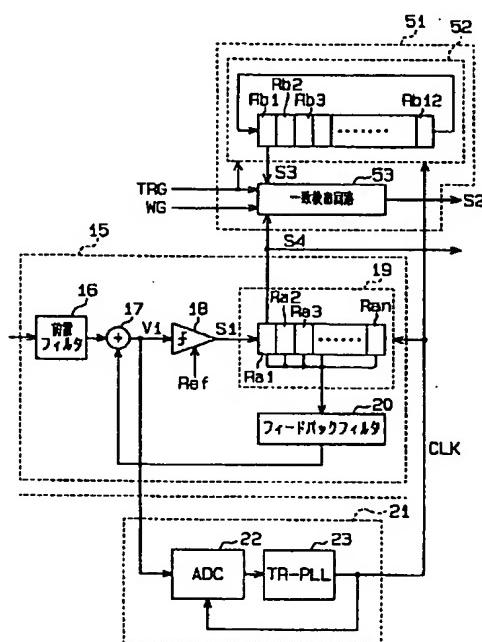
(54)【発明の名称】 データ読み取り方法、データ読み取り装置、及び、ハードディスク装置

(57)【要約】

【課題】シンクバイトの検出率を高めて記録媒体から情報を読み出す読み出し時間の短縮を図ることができるデータ読み取り装置を提供すること。

【解決手段】周期パターンのプリアンブルデータに続いて読み出されるシンクバイトは、リード信号RDに基づいてADC22の出力信号の情報が遷移する引き込み位置が粗な部分と密な部分とを含む粗密パターンにて構成される。PLL回路23は、このシンクバイトの引き込み位置において、シンクバイトを読み出したリード信号RDに対してクロック信号CLKの同期引き込みを行う。

DFE, TR-PLL, 回路及びUSB接続のブロック図図8



1

【特許請求の範囲】

【請求項1】 プリアンブル、シンクバイト、ユーザデータを順番に読み出し信号として記録媒体から読み出し、プリアンブル信号に位相引き込みをしたクロック信号に基づいてサンプリングした再生信号を出力するデータ読み取り方法において、前記シンクバイトを粗密パターンを含む構成とし、該シンクバイトにより前記クロック信号を出力するタイミングクロック再生P.L.S.より細かな引き込みができるようにしたデータ読み取り方法。

【請求項2】 請求項1に記載のデータ読み取り方法において、

前記読み出し信号をサンプリングしたデータと、前記シンクバイトを検出するため予め記憶した比較データを、予め設定した比較ポイントにおいて比較するためのウインドを開き、該ウインド内において前記サンプリングデータと比較データを順次比較し、その比較結果に基づいて前記サンプリングデータと比較データが一致した場合にシンクバイト検出としたデータ読み取り方法。

【請求項3】 請求項2に記載のデータ読み取り方法において、

前記シンクバイトの読み出し時期に対応してトリガ信号が入力された後、入力されるウインド信号に基づいて前記再生信号とレジスタから入力される比較信号とを比較するために前記シンクバイトが入力される期間よりも短い期間のウインドが設定され、該ウインドの期間に入力される前記比較信号と前記再生信号の各ビットがそれぞれ一致した場合にシンクバイト検出信号を出力するようにしたデータ読み取り方法。

【請求項4】 請求項3に記載のデータ読み取り方法において、

前記読み出し信号に基づく入力電圧を基準電圧と比較して前記入力電圧をデジタル信号に変換し、該デジタル信号に基づいて演算した帰還量を前記入力電圧に帰還する帰還ループに対して、

前記比較信号と前記再生信号が一致しない場合に、前記再生信号に代えて前記比較信号に基づいて帰還量を演算するようにしたデータ読み取り方法。

【請求項5】 プリアンブル、シンクバイト、ユーザデータを順番に読み出し信号として記録媒体から読み出し、タイミングクロック再生P.L.S.によりプリアンブル信号に位相引き込みをしたクロック信号を生成し、該クロック信号に基づいてサンプリングした再生信号を出力するデータ読み取り装置において、

前記シンクバイトを粗密パターンを含む構成とし、前記タイミングクロック再生P.L.S.はシンクバイトにより前記クロック信号をより細かに引き込みを行うようにしたデータ読み取り装置。

【請求項6】 請求項5に記載のデータ読み取り装置において、

2

前記読み出し信号をサンプリングしたデータを再生信号として出力する波形等化器と、

前記シンクバイトを検出するための比較データが予め記憶され、該比較データを比較信号として順次出力するレジスタと、

予め設定された比較ポイントにおいて前記再生信号と前記比較信号を比較するウインドを開き、該ウインド期間において入力される前記再生信号と前記比較信号が一致した場合にシンクバイト検出信号を出力する一致検出回路とを備えたデータ読み取り装置。

【請求項7】 請求項6に記載のデータ読み取り装置において、

前記一致検出回路は、前記シンクバイトの読み出し時期に対応してトリガ信号が入力された後、入力されるウインド信号に基づいて前記再生信号とレジスタから入力される比較信号とを比較するために前記シンクバイトが入力される期間よりも短い期間のウインドを設定し、該ウインドの期間に入力される前記比較信号と前記再生信号の各ビットがそれぞれ一致した場合にシンクバイト検出信号を出力するようにしたデータ読み取り装置。

【請求項8】 請求項7に記載のデータ読み取り装置において、

前記波形等化器は判定帰還型等化器であって、読み出し信号に基づく入力電圧を基準電圧と比較して前記入力電圧をデジタル信号に変換する判定器と、前記判定器の出力信号を順次記憶するシフトレジスタと、該シフトレジスタに記憶された各ビット情報に基づいて前記判定器の入力信号に対する帰還量を演算する帰還フィルタとを備え、

前記一致比較回路は、前記比較信号と前記再生信号が一致しない場合に、前記比較信号を前記再生信号が読み出された前記シフトレジスタの領域に記憶させるようにしたデータ読み取り装置。

【請求項9】 請求項7に記載のデータ読み取り装置において、

前記一致比較回路は、前記比較信号と前記再生信号が一致しない場合に、前記比較信号を前記シフトレジスタに代えて前記帰還フィルタに出力するようにしたデータ読み取り装置。

【請求項10】 請求項5乃至9のうちの何れか1項に記載のデータ読み取り装置において、

前記レジスタは、前記シンクバイトに対応する比較データを記憶し、前記トリガ信号に基づいて比較データを所定方向に巡回させるシフト動作を行い、該比較データを比較信号として出力する巡回レジスタであるデータ読み取り装置。

【請求項11】 請求項5乃至10のうちの何れか1項に記載のデータ読み取り装置を備えたハードディスク装置。

50 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記録媒体からデータの読み取りを高速且つ安定に行うことができるデータ読み取り方法、データ読み取り装置に関するものである。

【0002】近年、記録媒体は、記録される情報の高密度化が進められるとともに、情報を読み出す速度の高速化が進められている。そのため、記録媒体からデータを読み取るデータ読み取り装置においても、動作の高速化が要求されている。

【0003】

【従来の技術】図7の磁気ディスク等の記録媒体11に記録された格納データは、ヘッド装置12にて読み取られる。ヘッド装置12はMR(Magneto Resistive)ヘッドを含み、読み取ったデータの状態(1又は0)に応じた電圧波形(磁気ディスクの再生波形)のリード信号RDを信号処理回路13に出力する。

【0004】信号処理回路13の可変ゲインアンプ(VGA)14は、リード信号RDの振幅を所定の振幅に増幅し、その増幅した信号を判定帰還等化器(DFE:Determination Feedback Equalizer)15に出力する。

【0005】図8に示すように、DFE15は、前置フィルタ16、加算器17、判定器18、シフトレジスタ19、フィードバックフィルタ20を含む。前置フィルタ16は、フィルタリング後の信号を加算器17に出力する。加算器17は、前置フィルタ16の出力信号とフィードバックフィルタ20の出力信号を加算し、加算結果を判定器18に出力する。

【0006】判定器18は、加算器17の出力電圧と予め設定された基準電圧とを比較し、その比較結果に基づいて「1」又は「0」の判定信号S1をシフトレジスタ19に出力する。これにより、判定器18は、加算器17の出力信号を1ビットのデジタル信号に変換する。

【0007】シフトレジスタ19は、判定器18から出力されるデジタル信号を、クロック信号CLKに同期してサンプリングし、そのサンプリングデータを順次記憶する。これにより、シフトレジスタ19は、標本化された過去の複数ビットのデータを記憶する。

【0008】フィードバックフィルタ20は、例えばFIRフィルタよりなる。フィードバックフィルタ20は、信号中に含まれる符号間干渉を取り除くように動作する。フィードバックフィルタ20は、シフトレジスタ19に記憶された複数ビットのデータに基づくアナログ信号を加算器17に出力する。

【0009】このように構成されたDFE15は、符号間干渉を取り除いた再生信号を出力する。前記加算器17の出力信号は、タイミングクロック再生用PLL回路21のA/D変換器(ADC)22に出力される。ADC22は、加算器17の出力信号をデジタル信号に変換し、そのデジタル信号をタイミングリカバリPLL回路

路(以下、TR-PLLという)23に出力する。

【0010】TR-PLL23は、ディジタル信号にて位相比較を行い、リード信号RDにクロック信号CLKを同期させる、所謂クロックの引き込み動作を行う。このクロック信号CLKにより、DFE15のシフトレジスタ19は、判定器18の出力信号をクロック信号CLKのエッジに応答してサンプリングする。これにより、シフトレジスタ19は、リード信号RDのビット転送速度でサンプリングすることにより、前記磁気ディスク11の記録データに対応する判定信号を記憶する。

【0011】図7に示すように、DFE15は、再生信号をシリアル-パラレル変換回路(S/P変換回路)24に出力する。S/P変換回路24は、再生信号をパラレル信号に変換しデコーダ25に出力する。デコーダ25は、パラレル信号を所定の方式により復号し、その復号データをデスクランプ26に出力する。デスクランプ26は、所定の方式によりデコーダの出力データのビットの並べ替えを行い再生データを生成する。その再生データはインターフェース回路27を介してHDC31に出力される。

【0012】SP変換回路24は、パラレルデータを、シンクバイト検出回路(SB検出回路)28に出力する。SB検出回路28は、ユーザデータに先立って読み出されるシンクバイト(SB)を検出する。

【0013】詳述すると、SB検出回路28は、シンクバイトを検出するための複数ビットよりなるデータを格納したレジスタ28aを有する。SB検出回路28は、レジスタ28aに格納したデータとリード信号RDから再生されたビットデータを比較し、それらの全ビットが一致した場合にシンクバイト検出信号S2をHDC31に出力する。

【0014】HDC31は、信号処理回路13に読み出し動作の開始を指示する。その後、HDC31は、シンクバイト検出信号S2を入力すると、そのシンクバイト検出信号に応答して、シンクバイトに続く再生データを記録データとして扱い、この記録データに対する処理を行う。

【0015】図9は、記録媒体11の各セクタの記録フォーマットの概要を示す。各セクタ35は、プリアンブル(PR)領域35a、シンクバイト(SB)領域35b及びデータ領域35cを含む。

【0016】PR領域35aには、VGA14における增幅率の設定やTR-PLL23におけるクロック信号CLKをリード信号RDに同期させるための制御データであるプリアンブルコード(PRコード)が記録されている。PRコードは、例えば「111000」のビットデータであり、このPRコードのリード信号RDは正弦波となる。TR-PLL23は、リード信号RDに同期したクロック信号CLKを生成する。このクロック信号CLKにより、ADC22は、リード信号RDから各ビ

ットデータを再生する。

【0017】SB領域35bには、主に次のデータ領域35cの始まりを検出するためのデータであるシンクバイトコード(SBコード)が記録されている。HDC31は、SBコードに続くビットデータを記録データとして扱い、この記録データに対する処理を行う。

【0018】

【発明が解決しようとする課題】ところで、磁気ディスク11から情報を読み出す読み出し速度を高速化すると、それに伴って再生信号におけるビットエラーの発生率が高くなる。そして、SB検出回路28は、読み出したSBデータの全ビットがレジスタに予め記憶した検出のためのデータと一致したときのみ検出信号を出力する構成となっている。そのため、読み出したSBデータにビットエラーが発生すると、SBデータがレジスタ28aに記憶されたデータと一致しないため、SB検出回路28は検出信号を出力しない。

【0019】読み出し動作の開始からHDC31にシンクバイト検出信号S2が出力されるまでの時間は、磁気ディスク11の回転速度等により予め判っている。従つて、HDC31は、読み出し動作を開始してから所定時間の間に検出信号を入力しないと、シンクバイト検出を失敗したと判断して図示しないマイクロプロセッサ(MPU)に読み取り失敗を示す信号を送出する。その信号に応答し、MPUは再度読み出し動作の開始を指示する。即ち、MPUは、検出信号が入力されるまで繰り返し読み出し動作を開始させなければならない。このことは、MPUの負荷増加を招く。また、ホスト側へのデータ転送が遅れることから、磁気ディスク11から情報を読み出す時間が長くなるという問題がある。

【0020】また、磁気ディスクを高密度化すると、プリアンブルデータを読み出す期間が短くなる。即ち、図8のTR-PLL23が引き込みを行う時間が短くなる。これにより、TR-PLL23は、リード信号RDの位相とクロック信号CLKの位相が大きくずれている場合、クロック信号CLKをリード信号RDに同期させる所謂同期引き込みが不十分になる。

【0021】このことは、DFE15の帰還ループの動作を不安定にする。即ち、シフトレジスタ19は、クロック信号CLKに同期して判定信号をサンプリングしている。そのため、クロック信号CLKがリード信号RDに同期していないと、シフトレジスタ19は、クロック信号CLKに応答して誤ったデータをサンプリングする。その誤データは、加算器17により前置フィルタ16の出力信号と加算されて判定器に入力される。このことは、DFE15の判定誤りや、帰還ループの発散を引き起こす。これにより、シンクバイト検出失敗によるリードエラーが起り、MPUがリトライを指示し、磁気ディスク11からホスト側へのデータ転送時間が増大するという問題がある。

【0022】本発明は上記問題点を解決するためになされたものであって、その目的は読み出し信号にクロック信号を十分同期させることができるとデータ読み取り方法、データ読み取り装置、及び、ハードディスク装置を提供することにある。

【0023】また、シンクバイトの検出率を高めて記録媒体から情報を読み出す時間の短縮を図ることのできるデータ読み取り方法、データ読み取り装置、及び、ハードディスク装置を提供することにある。

10 【0024】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明は、プリアンブル、シンクバイト、ユーザデータを順番に読み出し信号として記録媒体から読み出し、プリアンブル信号に位相引き込みをしたクロック信号に基づいてサンプリングした再生信号を出力するデータ読み取り方法において、前記シンクバイトを粗密パターンを含む構成とし、該シンクバイトにより前記クロック信号を出力するタイミングクロック再生PLLのより細かな引き込みができるようにした。

20 【0025】請求項2に記載の発明は、請求項1に記載のデータ読み取り方法において、前記読み出し信号をサンプリングしたデータと、前記シンクバイトを検出するために予め記憶した比較データを、予め設定した比較ポイントにおいて比較するためのウインドを開き、該ウインド内において前記サンプリングデータと比較データを順次比較し、その比較結果に基づいて前記サンプリングデータと比較データが一致した場合にシンクバイト検出とした。

30 【0026】請求項3に記載の発明は、請求項2に記載のデータ読み取り方法において、前記シンクバイトの読み出し時期に対応してトリガ信号が入力された後、入力されるウインド信号に基づいて前記再生信号とレジスタから入力される比較信号とを比較するために前記シンクバイトが入力される期間よりも短い期間のウインドが設定され、該ウインドの期間に入力される前記比較信号と前記再生信号の各ビットがそれぞれ一致した場合にシンクバイト検出信号を出力するようにした。

40 【0027】請求項4に記載の発明は、請求項3に記載のデータ読み取り方法において、前記読み出し信号に基づく入力電圧を基準電圧と比較して前記入力電圧をデジタル信号に変換し、該デジタル信号に基づいて演算した帰還量を前記入力電圧に帰還する帰還ループに対して、前記比較信号と前記再生信号が一致しない場合に、前記再生信号に代えて前記比較信号に基づいて帰還量を演算するようにした。

50 【0028】請求項5に記載の発明は、プリアンブル、シンクバイト、ユーザデータを順番に読み出し信号として記録媒体から読み出し、タイミングクロック再生PLLによりプリアンブル信号に位相引き込みをしたクロック信号を生成し、該クロック信号に基づいてサンプリ

グした再生信号を出力するデータ読み取り装置において、前記シンクバイトを粗密パターンを含む構成とし、前記タイミングクロック再生P.L.Sはシンクバイトにより前記クロック信号をより細かに引き込みを行うようにした。

【0029】請求項6に記載の発明は、請求項5に記載のデータ読み取り装置において、前記読み出し信号をサンプリングしたデータを再生信号として出力する波形等化器と、前記シンクバイトを検出するための比較データが予め記憶され、該比較データを比較信号として順次出力するレジスタと、予め設定された比較ポイントにおいて前記再生信号と前記比較信号を比較するウインドを開き、該ウインド期間において入力される前記再生信号と前記比較信号が一致した場合にシンクバイト検出信号を出力する一致検出回路とを備えた。

【0030】請求項7に記載の発明は、請求項6に記載のデータ読み取り装置において、前記一致検出回路は、前記シンクバイトの読み出し時期に対応してトリガ信号が入力された後、入力されるウインド信号に基づいて前記再生信号とレジスタから入力される比較信号とを比較するために前記シンクバイトが入力される期間よりも短い期間のウインドを設定し、該ウインドの期間に入力される前記比較信号と前記再生信号の各ビットがそれぞれ一致した場合にシンクバイト検出信号を出力するようにした。

【0031】請求項8に記載の発明は、請求項7に記載のデータ読み取り装置において、前記波形等化器は判定帰還型等化器であって、読み出し信号に基づく入力電圧を基準電圧と比較して前記入力電圧をデジタル信号に変換する判定器と、前記判定器の出力信号を順次記憶するシフトレジスタと、該シフトレジスタに記憶された各ビット情報に基づいて前記判定器の入力信号に対する帰還量を演算する帰還フィルタとを備え、前記一致比較回路は、前記比較信号と前記再生信号が一致しない場合に、前記比較信号を前記再生信号が読み出された前記シフトレジスタの領域に記憶させるようにした。

【0032】請求項9に記載の発明は、請求項7に記載のデータ読み取り装置において、前記一致比較回路は、前記比較信号と前記再生信号が一致しない場合に、前記比較信号を前記シフトレジスタに代えて前記帰還フィルタに出力するようにした。

【0033】請求項10に記載の発明は、請求項5乃至9のうちの何れか1項に記載のデータ読み取り装置において、前記レジスタは、前記シンクバイトに対応する比較データを記憶し、前記トリガ信号に基づいて比較データを所定方向に巡回させるシフト動作を行い、該比較データを比較信号として出力する巡回レジスタである。

【0034】請求項11に記載の発明は、請求項5乃至10のうちの何れか1項に記載のデータ読み取り装置を備えたハードディスク装置である。

(作用)従って、請求項1, 5に記載の発明によれば、シンクバイトを粗密パターンを含む構成とすることにより、タイミングクロック再生P.L.Sはシンクバイトによりクロック信号をより細かに引き込みを行うため、クロック信号が読み出し信号に十分に同期する。

【0035】請求項2, 6に記載の発明によれば、比較信号と再生信号を比較するウインドを設定し、所定のポイントにて比較信号と再生信号が一致する事によりシンクバイト検出とすることで、シンクバイト検出までの時間が短縮される。

【0036】請求項3, 7に記載の発明によれば、シンクバイトの読み出し時期に対応してトリガ信号が入力された後にシンクバイトが入力される期間よりも短い期間開かれるウインドにより、比較信号と再生信号が比較され、そのウインド期間の比較信号と再生信号が一致する場合にシンクバイト検出とした。これにより、シンクバイトの全ビットが一致しなくとも、シンクバイト検出信号を出力することができるため、読み出しを開始してからシンクバイト検出信号を出力するまでの時間、ひいてはユーザデータの読み出し時間が短縮される。

【0037】請求項4, 8, 9に記載の発明によれば、比較信号と再生信号が一致しない場合に、比較信号に基づいて帰還量が演算されて帰還ループに帰還されるため、誤った再生信号に基づく帰還量が帰還されて帰還ループが発散するのが防止される。

【0038】請求項10に記載の発明によれば、レジスタは、シンクバイトに対応する比較データを記憶し、前記トリガ信号に基づいて比較データを所定方向に巡回させるシフト動作を行う巡回レジスタであり、その巡回レジスタから出力される比較信号により、その比較信号と再生信号が簡単な構成で順次比較される。

【0039】請求項11に記載の発明によれば、請求項5乃至10のうちの何れか1項に記載のデータ読み取り装置が備えられ、ハードディスク装置におけるユーザデータの読み出し時間の短縮が図られる。

【0040】

【発明の実施の形態】以下、本発明を具体化した一実施の形態を図1～図6に従って説明する。尚、説明の便宜上、従来と同様の構成については同一の符号を付してその説明を一部省略する。

【0041】図1は、ハードディスク装置の概略構成を示す。ハードディスク装置41は、ホストコンピュータ42に接続されている。ハードディスク装置41は、ホストコンピュータ42の書き込み要求に応答し、ホストコンピュータ42から入力される記録データを記録媒体としての磁気ディスク11に記録する。また、ハードディスク装置41は、ホストコンピュータ42の読み出し要求に応答し、磁気ディスク11に記録された格納データを読み出し、ホストコンピュータ42に出力する。

【0042】ハードディスク装置41は、磁気ディスク

11、第1、第2モータM1、M2、ヘッド装置12、ハードディスクコントローラ(HDC)31、信号処理回路43、サーボ回路44、マイクロプロセッサ(MPU)45、メモリ(RAM)46、インターフェース回路47を含む。

【0043】磁気ディスク11は、第1モータM1により一定の回転数にて回転駆動される。ヘッド装置12は、第2モータM2により磁気ディスク11の半径方向に位置制御される。ヘッド装置12は、磁気ディスク11に記録された情報を読み出してリード信号RDとして信号処理回路43に出力する。

【0044】信号処理回路(リードチャネルICと呼ばれる)43は、リード信号RDを、そのリード信号RDに同期してサンプリングしてデジタル信号に変換する。信号処理回路43は、変換後のデジタル信号に復号処理を施し、その処理後の信号を出力する。

【0045】サーボ回路44は、バス48を介して信号処理回路43の出力信号が入力される。サーボ回路44は、出力信号に含まれるサーボのための情報に基づいて、第2モータM2を制御し、ヘッド装置12を目的のトラックにオントラックさせる。

【0046】MPU45は、メモリ46に予め記憶されたハードディスク装置41を制御するためのプログラムデータに基づいて、HDC31、信号処理回路43、サーボ回路44、インターフェース回路47を制御する。HDC31は、バス48を介して信号処理回路43の出力信号を入力する。

【0047】HDC31は、入力されたデータを所定のバイト数よりなるセクタ単位に組み立て、その組み立てたセクタ毎に例えばECC(Error Correcting Code)誤り訂正処理等の処理を行い、その処理後のデータをバス48を介してインターフェース回路47に出力する。インターフェース回路47は、所定の通信方式に基づいてHDC31の出力データを変換して読み出しデータとしてホストコンピュータ42へ出力する。

【0048】HDC31には、ホストコンピュータ42から書き込みデータがインターフェース回路47を介して入力される。HDC31は、書き込みデータに誤り訂正のためのデータを付加し、バス48を介して信号処理回路43に出力する。信号処理回路43は、HDC31の出力データをヘッド装置12を介して磁気ディスク11に書き込む。

【0049】図2は、信号処理回路43を構成するデータ読み出し回路のブロック回路図を示す。信号処理回路43は、可変ゲインアンプ(VGA)14、判定帰還型等化器(DFE:Decision Feedback Equalizer)15、シリアル-パラレル(S/P)変換回路24、デコード25、デスクランプラ26、インターフェース(I/F)回路27、タイミングリカバリ(TR)PLL回路21、シンクバイト(SB)検出回路51、シーケンス制

御回路52を含む。

【0050】シーケンス制御回路52は、所定の読み出しシーケンスに基づいて上記の各回路14、15、21、24~27、51を制御する。VGA14は、リード信号RDの振幅を所定の振幅に増幅し、その増幅した信号をDFE15に出力する。

【0051】図3は、DFE15、TRPLL回路21、SB検出回路51のブロック回路図を示す。DFE15は、前置フィルタ16、加算器17、判定器18、シフトレジスタ19、フィードバックフィルタ20を含む。前置フィルタ16は、フィルタリング後の信号を加算器17に出力する。加算器17は、前置フィルタ16の出力信号とフィードバックフィルタ20の出力信号を加算し、加算結果を判定器18に出力する。

【0052】図4に示すように、判定器18は、加算器17の出力電圧V1と予め設定された基準電圧Refとを比較し、その比較結果に基づいて「1」又は「0」の判定信号S1をシフトレジスタ19に出力する。

【0053】例えば、判定器18は、出力電圧V1が基準電圧Refよりも高い場合には「1」の判定信号S1を、出力電圧V1が基準電圧Refよりも低い場合には「0」の判定信号S1を出力する。即ち、判定器18は、加算器17の出力信号をサンプリング(標本化)して1ビットのデジタル信号である判定信号S1に変換する。

【0054】シフトレジスタ19は、フィードバックフィルタ20の構成に対応する段数(n段)のレジスタRa1~Ranを含む。シフトレジスタ19は、判定器18から出力される判定信号S1を、クロック信号CLKに同期してサンプリングし、そのサンプリングデータを初段のレジスタRa1に記憶する。そして、シフトレジスタ19は、クロック信号CLKに同期して、記憶したデータを順次後段のレジスタにシフトする。これにより、シフトレジスタ19は、標本化された過去の複数ビット(nビット)のデータを記憶する。

【0055】フィードバックフィルタ20は、例えばFIRフィルタよりなる。このFIRフィルタのタップ数に応じてシフトレジスタ19の段数が設定される。フィードバックフィルタ20は、信号中に含まれる符号間干渉を取り除くように動作する。フィードバックフィルタ20は、シフトレジスタ19に記憶された複数ビットのデータに基づくアナログ信号を加算器17に出力する。これにより、判定器18の出力信号は、過去のビットによる干渉が除去された再生信号となり、この再生信号がシフトレジスタ19に記憶される。

【0056】このように構成されたDFE15は、符号(シンボル)間干渉を打ち消した再生信号を出力する。前記加算器17の出力信号は、サンプリングクロック再生用PLL回路21に出力される。PLL回路21は、A/D変換器(ADC)22、TR-PLL23を含

11

む。ADC22は、加算器17の出力信号をデジタル信号に変換し、そのデジタル信号をTR-PLL23に出力する。

【0057】TR-PLL23は、磁気ディスク11から制御データとしてのプリアンブルデータを読み出したリード信号RDにクロック信号CLKを同期させる、所謂クロックの引き込み動作を行う。このクロック信号CLKにより、DFE15のシフトレジスタ19は、判定器18の出力信号をクロック信号CLKのエッジに応答してサンプリングする。これにより、シフトレジスタ19は、リード信号RDの転送速度でサンプリングすることにより、前記磁気ディスク11の記録データに対応する判定信号を記憶する。

【0058】更に、TR-PLL23は、シンクバイトを読み出したリード信号RDに基づいて、クロック信号CLKの引き込み動作を行う。TR-PLL23は、ADC22から入力される信号の状態が遷移する場所を引き込み位置とする。その引き込み位置において、TR-PLL23はADC22から入力される信号とクロック信号CLKの位相を比較し、その比較結果に基づいてクロック信号CLKの周波数を変更するように構成されている。従って、シンクバイトは、遷移する場所含むようなビット列のパターンに設定されている。

【0059】図4は、本実施形態のシンクバイトのパターン構成を示す。シンクバイトは12ビットのビット列であり、「111100011000」のパターンに設定されている。このシンクバイトのパターンは、信号の状態が遷移する、即ち、0, 1のビットが、「0→1」、「1→0」と遷移する引き込み位置であり、所謂ビットが反転する間隔が長いパターン「11110」と、反転する間隔が短いパターン「0110」を組み合わせて構成されている。即ち、シンクバイトは、状態の遷移が粗なパターンと、状態の遷移が密なパターンが組み合わされている。尚、先行するプリアンブルのパターンは「0」ビットにて終了する。従って、間隔の長いパターンは、PLL回路にプリアンブルに統いて入力されるため、そのパターンは「01110」となる。

【0060】このように構成されたシンクバイトにより、TR-PLL23は、プリアンブルを読み出している期間に統いてシンクバイトを読み出している期間においてもクロック信号CLKの引き込みを行うことができる。即ち、上記のシンクバイトは、TR-PLL23における引き込み期間を長くする。これにより、図1の磁気ディスク11の回転数が高くなつてプリアンブルを読み出す期間が短くなつても、TR-PLL23は、プリアンブルに加えてシンクバイトによりクロック信号CLKの引き込みを十分に行うことができる。

【0061】そして、DFE15のシフトレジスタ19は、上記のクロック信号CLKに基づいて判定器18からの判定信号S1をサンプリングする。そして、クロッ

12

ク信号CLKは、リード信号RDの周波数に十分に引き込まれていることから、シフトレジスタ19は、正確なタイミングで判定信号S1をサンプリングする。これにより、判定誤りを低減することができる。

【0062】DFE15は、再生信号を、SB検出回路51に出力する。SB検出回路51は、サーキュレータ52、一致検出回路53を含む。サーキュレータ52は巡回レジスタであり、例えば図4に示すように、12ビットにて構成されるシンクバイトのビット数に対応する数のレジスタRb1～Rb12を有する。各レジスタRb1～Rb12には、シンクバイトと同じ値の比較データを構成する各ビットがそれぞれ記憶される。

【0063】サーキュレータ52には、シーケンス制御回路52からトリガ信号TRGが入力される。シーケンス制御回路52は、入力されるクロック信号CLKに基づいて、シンクバイトの先頭ビットを読み出すタイミングに合せてHレベルのトリガ信号TRGを一定期間（例えば、クロック信号CLKの1周期分）出力するように構成されている。

【0064】トリガ信号TRGを出力するタイミングについて詳述すれば、図1の磁気ディスク11の各セクタには、プリアンブル、シンクバイト、ユーザデータの順番に格納されている。そして、プリアンブルのビット数は、予め判っている。そして、セクタに格納されている情報を読み出した場合、そのセクタの先頭ビット（プリアンブルの先頭ビット）の読み出し位置を検出することは容易である。

【0065】従って、プリアンブルの先頭ビットを読み出してからのクロック信号CLKのエッジをカウントすることにより、シンクバイトの先頭ビットが読み出されるタイミングを検出することは容易である。そして、シーケンス制御回路52は、このタイミングでトリガ信号TRGを出力するように構成されている。

【0066】サーキュレータ52は、図2のシーケンス制御回路52から入力されるトリガ信号TRGの立ち上がりエッジに応答し、クロック信号CLKに基づいて各レジスタRb1～Rb12に記憶した比較データの各ビットを所定方向に巡回させるシフト動作を行う。即ち、サーキュレータ52は、入力されるクロック信号CLKの立ち上がりエッジに応答し、初段～11段目のレジスタRb1～Rb11に記憶した比較データの各ビットを2段目～最終段のレジスタRb2～Rb12にシフトすると共に、最終段のレジスタRb12に記憶したビットを初段のレジスタRb1にシフトする。サーキュレータ52は、初段のレジスタRb1に記憶した1ビットのデータを比較ビット信号S3として一致検出回路53に出力する。

【0067】一致検出回路53には、DFE15のシフトレジスタ19初段に記憶された1ビットのデータが再生ビット信号S4としてクロック信号CLKに同期して順次入力される。

13

【0068】一致検出回路53には、シーケンス制御回路52からウインド信号WGとトリガ信号TRGが入力される。シーケンス制御回路52は、トリガ信号TRGの立ち上がりエッジから所定期間（図5ではクロック信号CLKの1周期分）経過した後に、所定期間（図5では8周期分）だけHレベルのウインド信号WGを出力する。

【0069】一致検出回路53は、トリガ信号TRGが入力された後、ウインド信号WGがHレベルの間、比較ビット信号S3と再生ビット信号S4を順次比較する。一致検出回路53は、ウインド信号WGがHレベルの間に入力される比較ビット信号S3と再生ビット信号S4が全て一致した場合、シンクバイト検出信号S2を出力する。このことは、シンクバイト検出の確率を高くする、即ちバイト同期確立を容易にする。

【0070】即ち、一致検出回路53は、Hレベルのウインド信号WGが入力されている間、即ちそれぞれ8個の比較ビット信号S3と再生ビット信号S4を比較する。これは、12ビットの比較データと判定データを比較する場合に比べて一致する確立が高い。そして、それぞれ8個の比較ビット信号S3と再生ビット信号S4が一致していれば、残りのビットも一致している確立が高い。従って、一致検出回路53は、従来のSB検出回路51に比べてシンクバイト検出信号S2を出力しやすくなる。

【0071】また、シーケンス制御回路52は、トリガ信号TRGから所定期間経過後、Hレベルのウインド信号WGに応答して比較ビット信号S3と再生ビット信号S4の比較を行う。このシンクバイトの先頭ビット、又は先頭ビットから複数ビットは、クロック信号CLKの同期が不十分であるときに、誤った値がサンプリングされてシフトレジスタ19に記憶されるからである。

【0072】しかし、その後の複数の比較ビット信号S3は、前記TR-PLL23の引き込みによりリード信号RDと同期しているため、正確なデータがサンプリングされている。また、そのシンクバイトに続いて読み出されるユーザデータは、クロック信号CLKがリード信号RDに十分同期していることから、正確なデータがサンプリングされてシフトレジスタ19に記憶される。

【0073】そのため、シンクバイトの先頭の1ビット、又は先頭から複数ビット経過した後に、比較ビット信号S3と再生ビット信号S4を比較することにより、一致検出回路は、シンクバイトを検出する。これにより、読み出し開始からシンクバイト検出までの時間は、従来のそれに比べて短くなる。

【0074】そして、図1のHDC31は、シンクバイト検出信号を入力すると、シンクバイトに続いて入力されるデータをユーザデータとして処理する。そのため、読み出しを開始してからユーザデータを読み出すまでの時間は、従来のそれに比べて短くなる。

14

【0075】尚、シーケンス制御回路52を、トリガ信号TRGの立ち上がりエッジ後、クロック信号CLKの2周期以上経過した後にHレベルのウインド信号WGを出力する構成としてもよい。また、シーケンス制御回路を、クロック信号CLKの7周期以下又は9周期以上、Hレベルのウインド信号WGを出力する構成としてもよい。

【0076】ところで、比較ビット信号S3と再生ビット信号S4が一致しない場合、一致検出回路53は、比較ビット信号S3をシフトレジスタ19の初段のレジスタRa1に格納する。これにより、一致検出回路53は、誤りのある再生ビット信号S4の情報を比較ビット信号S3により書き換える。これは、再生ビット信号S4がシンクバイトを構成するビットであり、そのビットの位置が判っているからである。

【0077】上記したように、1つのセクタに格納されている情報を読み出した場合、そのセクタの先頭ビット（プリアンブルの先頭ビット）の読み出し位置を検出することは容易である。そして、プリアンブルのビット数は予め判っている。従って、プリアンブルの先頭ビットを読み出してからのクロック信号CLKのエッジをカウントすることにより、シンクバイトの先頭ビットが読み出されるタイミングを検出することは容易である。シーケンス制御回路52は、このタイミングでトリガ信号TRGを出力するように構成されている。このため、一致検出回路53には、シンクバイトの先頭ビットである再生ビット信号S4と同じタイミングで、比較データの先頭ビットである比較ビット信号S3が入力される。

【0078】そして、一致検出回路53は、読み出しにビットエラーが生じて再生ビット信号S4と比較ビット信号S3が一致しない場合、正しい値の比較ビット信号S3をシフトレジスタに書き込む。これにより、シンクバイトを読み出している間に誤りを伝搬してDFE15の帰還ループが発散するのを防止する。

【0079】尚、図6に示すように、一致検出回路53は、再生ビット信号S4と比較ビット信号S3が一致しない場合に、比較ビット信号S3を直接フィードバックフィルタ20に出力する構成としてもよい。この構成によっても、DFE15の帰還ループの発散を防止することができる。

【0080】DFE15は、再生信号を図2のSP変換回路24に出力する。SP変換回路24は、再生信号をパラレル信号に変換しデコーダ25に出力する。デコーダ25は、パラレル信号を所定の方式により復号し、その復号データをデスクランプ26に出力する。デスクランプ26は、所定の方式によりデコーダの出力データのビットの並べ替えを行い再生データを生成する。その再生データはインタフェース回路27を介してHDC31に出力される。

【0081】HDC31は、信号処理回路43に読み出

15

し動作の開始を指示する。その後、HDC31は、シンクバイト検出信号S2を入力すると、そのシンクバイト検出信号に応答して、シンクバイトに続く再生データを記録データとして扱い、この記録データに対する処理を行う。

【0082】以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 周期パターンのプリアンブルデータに続いて読み出されるシンクバイトは、リード信号RDに基づいてADC22の出力信号の情報が遷移する引き込み位置が粗な部分と密な部分とを含む粗密パターンにて構成される。TR-PLL23は、このシンクバイトの引き込み位置において、シンクバイトを読み出したリード信号RDに対してクロック信号CLKの同期引き込みを行う。その結果、磁気ディスク11が高速に回転駆動されてプリアンブルデータを読み出したリード信号の期間が短くなっても、シンクバイトを読み出したリード信号RDにクロック信号CLKを同期させることができるために、リード信号RDにクロック信号CLKを十分に同期させることができる。このクロック信号CLKにより、DFE15の判定誤りや、帰還ループの発散を防止し、ユーザデータの読み込むまでの時間が長期化を防ぐことができる。

【0083】(2) 一致検出回路53は、Hレベルのウインド信号が入力されている間、再生ビット信号S4と比較ビット信号S3の比較を行い、比較ビット信号S3と再生ビット信号S4の各ビットがそれぞれ一致した場合にシンクバイト検出信号S2を出力する。これにより、シンクバイトの全ビットが一致しなくともシンクバイト検出信号を出力することができるため、読み出しを開始してからシンクバイト検出信号を出力するまでの時間、ひいては記録データの読み出し時間を短縮することができる。

【0084】(3) 一致検出回路53は、比較ビット信号S3と再生ビット信号S4が一致しない場合に、正しい値の比較ビット信号S3をシフトレジスタに書き込む。これにより、シンクバイトを読み出している間再生ビット信号S4による誤りを伝搬するのを防ぎ、DFE15の帰還ループが発散するのを防止することができる。

40

(9)

16

【0085】

【発明の効果】以上詳述したように、請求項1、5に記載の発明によれば、読み出し信号にクロック信号を十分に同期させることができ可能なデータ読み取り方法、データ読み取り装置、ハードディスク装置を提供することができる。

【0086】また、請求項1乃至10に記載の発明によれば、シンクバイトの検出率を高めて記録媒体から情報を読み出す読み出し時間の短縮を図ることができる。また、請求項4、8、9に記載の発明によれば、シンクバイトを検出できないときにおいても、波形等化器の帰還ループの発散を防止することができる。

【図面の簡単な説明】

【図1】一実施形態のハードディスク装置の概略構成図。

【図2】一実施形態の信号処理回路のブロック回路図。

【図3】DFE、TRPLL回路及びSB検出回路のブロック回路図。

【図4】一実施形態のシンクバイトの作用を示す説明図。

【図5】信号処理回路の動作を示すタイミング図。

【図6】別のDFE及びSB検出回路のブロック回路図。

【図7】従来の信号処理回路のブロック回路図。

【図8】従来のDFE及びTRPLL回路のブロック回路図。

【図9】セクタの記録フォーマットを示す説明図。

【符号の説明】

30 15 波形等化器としての帰還判定型等化器

21 タイミングクロック再生PLL

52 レジスタとしてのサーチュレータ

53 一致検出回路

CLK クロック信号

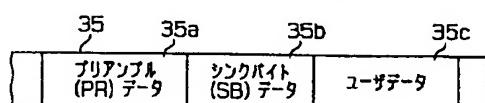
RD 読み出し信号としてのリード信号

S2 再生信号

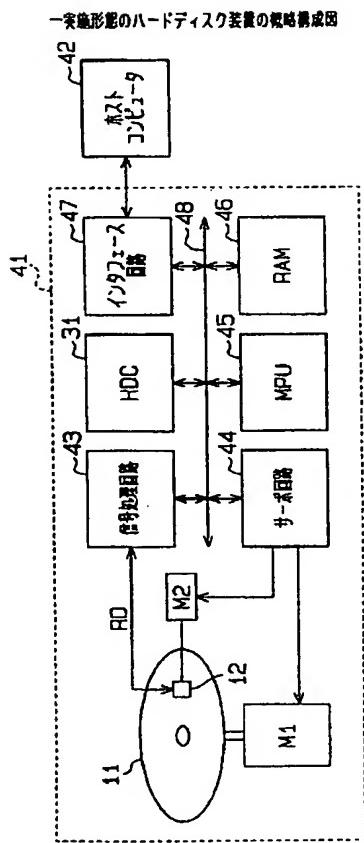
TRG トリガ信号

WG ウィンド信号

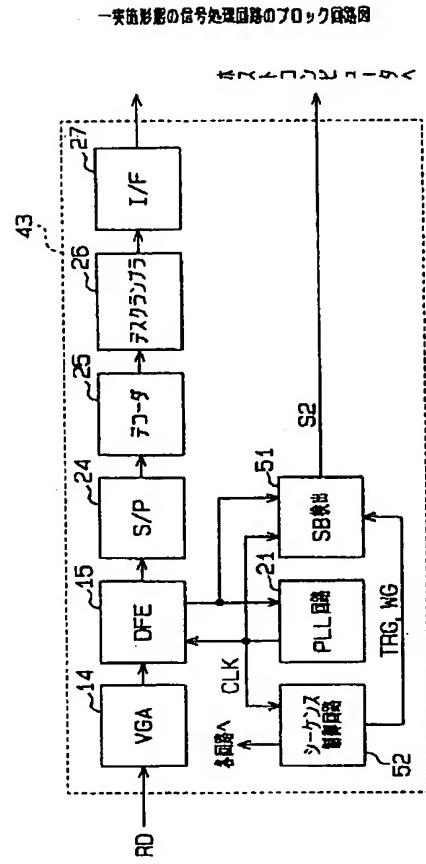
セクタの記録フォーマットを示す説明図



【図1】

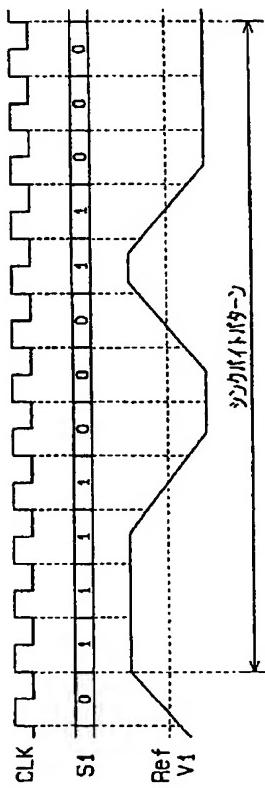


【図2】



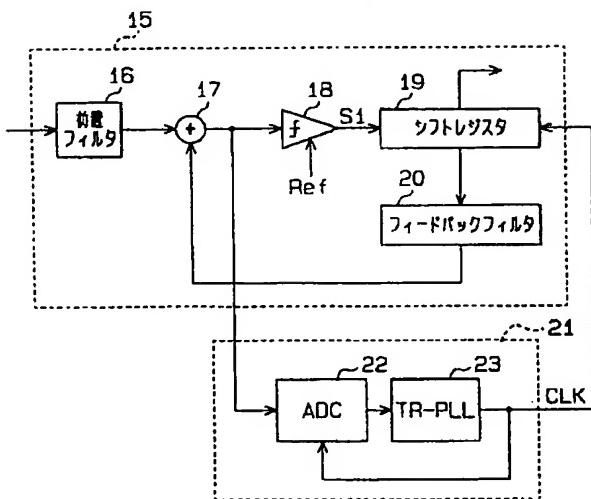
【図4】

一実施形態のシンクバイトの作用を示す説明図



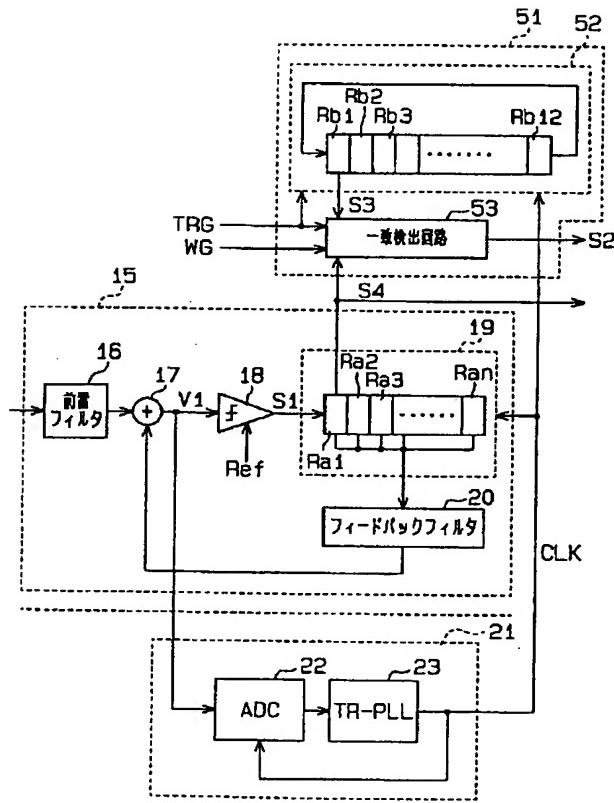
【図8】

発明のDFE及びTR-PLL回路のブロック回路図



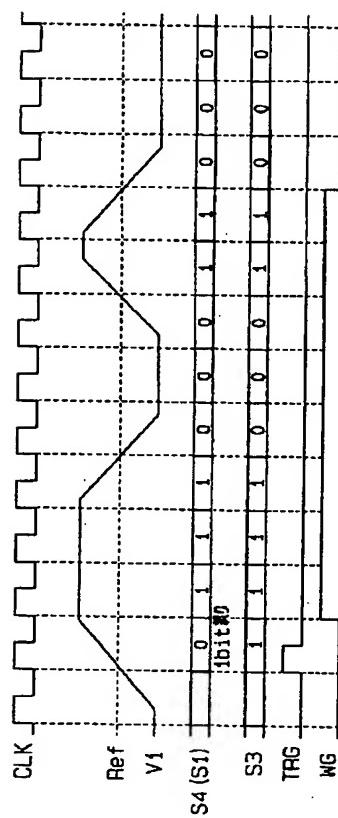
【図3】

DFE, TR-PLL 及びUSB收出回路のブロック回路図



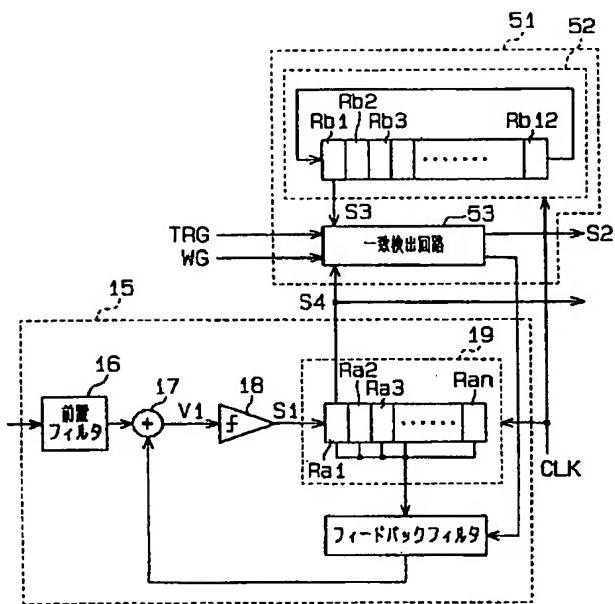
【図5】

信号処理回路の動作を示すタイミング図



【図6】

別のDFE及USB映出回路のブロック回路図



【図7】

従来の信号処理回路のブロック回路図

